

Docket No.: 67161-032

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Akira MATSUMURA

Serial No.:

Group Art Unit:

Filed: July 08, 2003

Examiner:

For: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-007408, filed January 15, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: July 8, 2003

67161-032
AKIRA Matsumura
July 8, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月15日

出 願 番 号
Application Number:

特願2003-007408

[ST.10/C]:

[JP2003-007408]

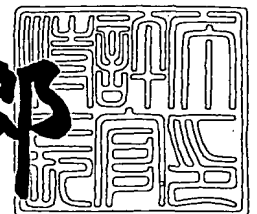
出 願 人
Applicant(s):

三菱電機株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007887

【書類名】 特許願

【整理番号】 541847JP01

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 松村 明

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板の上方に絶縁膜を形成する工程と、

該絶縁膜の上に、化学機械研磨法を用いた研磨において前記絶縁膜よりも研磨され難いハードマスクを形成する工程と、

前記半導体基板の主表面に対して垂直方向に延びるように、前記ハードマスクおよび前記絶縁膜を貫通するホールを形成する工程と、

前記ホールの側面に沿うようにキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極の表面に沿うようにキャパシタ誘電体膜を形成する工程と、

該キャパシタ誘電体膜の表面に接するようにキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【請求項2】 半導体基板の上方に絶縁膜を形成する工程と、

該絶縁膜の上に、所定のエッチング条件においてレジスト膜よりも前記絶縁膜に対する選択比が高いハードマスクを形成する工程と、

前記半導体基板の主表面に対して垂直方向に延びるように、前記ハードマスクおよび前記絶縁膜を貫通するホールを形成する工程と、

前記ホールの側面に沿うようにキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極の表面に沿うようにキャパシタ誘電体膜を形成する工程と、

該キャパシタ誘電体膜の表面に接するようにキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【請求項3】 半導体基板の上方に第1の絶縁膜を形成する工程と、

前記第1絶縁膜の上に、該第1の絶縁膜とは異なる組成の第2の絶縁膜を形成する工程と、

前記第1の絶縁膜と同じ組成であって、化学機械研磨法を用いた研磨において前記第2の絶縁膜より研磨され難いハードマスクを前記第2の絶縁膜の上に形成する工程と、

前記ハードマスクの上に、所定のエッチング条件において、前記ハードマスクよりも選択比が高いエッチングストッパ膜を形成する工程と、

前記エッチングストッパ膜をマスクとしたエッチングにより、前記エッチングストッパ膜、前記ハードマスク、前記第2の絶縁膜、および前記第1の絶縁膜を貫通して、前記半導体基板の主表面に対して垂直方向に延びるホールを形成する工程と、

前記ホールの側面および前記ハードマスクの上面にキャパシタ下部電極となる膜を形成する工程と、

前記キャパシタ下部電極となる膜を埋込む埋込膜を形成する工程と、

前記埋込膜、前記キャパシタ下部電極となる膜および前記エッチングストッパ膜を、化学機械研磨法を用いて除去することにより、前記ハードマスクを露出させて、キャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極の表面にキャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜の表面にキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【請求項4】 半導体基板の上方に第1の絶縁膜を形成する工程と、

前記第1絶縁膜の上に、該第1の絶縁膜とは異なる組成の第2の絶縁膜を形成する工程と、

前記第1の絶縁膜と同じ組成であって、第1の所定のエッチング条件においてレジスト膜よりも前記第2の絶縁膜に対する選択比が高いハードマスクを前記第2の絶縁膜の上に形成する工程と、

前記ハードマスクの上に、第2の所定のエッチング条件において、前記ハードマスクよりも選択比が高いエッチングストッパ膜を形成する工程と、

前記エッチングストッパ膜をマスクとしたエッチングにより、前記エッチングストッパ膜、前記ハードマスク、前記第2の絶縁膜、および前記第1の絶縁膜を貫通して、前記半導体基板の主表面に対して垂直方向に延びるホールを形成する工程と、

前記ホールの側面および前記ハードマスクの上面にキャパシタ下部電極となる膜を形成する工程と、

前記キャパシタ下部電極となる膜を埋込む埋込膜を形成する工程と、

前記埋込膜、前記キャパシタ下部電極となる膜および前記エッチングストップ膜を、化学機械研磨法を用いて除去することにより、前記ハードマスクを露出させて、キャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極の表面にキャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜の表面にキャパシタ上部電極を形成する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタを備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

従来より、半導体基板上に半導体基板の主表面に対して垂直方向に延びるキャパシタが設けられた半導体装置の製造が行なわれている。このようなキャパシタを備える半導体装置においては、半導体基板の主表面に平行な方向の面積を小さくするとともに、キャパシタ容量を増加させることが望まれている。そのため、半導体基板の主表面に対して垂直な方向のキャパシタの高さを高くする必要がある。その結果、キャパシタのアスペクト比が徐々に高くなってきている。

【0003】

【特許文献1】

特開2002-190582号公報

【0004】

【発明が解決しようとする課題】

前述のような高いアスペクト比を有するキャパシタにおいては、キャパシタが形成されるホールは絶縁膜のエッチングにより形成される。そのエッチングによるホールのアスペクト比の制御には限界があるため、ホールに形成されるキャパシタの形状、特にストレージ電極の形状を所望の形状にするのが困難となっていてきている。その結果、キャパシタの特性を向上させることができない。

【0005】

また、前述のようなキャパシタの下部電極を形成するときには、キャパシタが形成されているホールを構成する絶縁膜の上表面が、CMP (Chemical Mechanical Polishing) 法を用いて研磨される。このCMP法による研磨において、キャパシタ下部電極が形成される絶縁膜の上表面がオーバーポリッシュされる。そのため、キャパシタの半導体基板の主表面に対して垂直な方向における高さを高くすることが困難になっている。この点においても、キャパシタの特性を向上させることができない。

【0006】

本発明は、上述の問題に鑑みてなされたものであり、その目的は、特性が向上したキャパシタを有する半導体装置の製造方法を提供することである。

【0007】

【課題を解決するための手段】

本発明の第1の局面の半導体装置の製造方法は、半導体基板の上方に絶縁膜を形成する工程と、絶縁膜の上に、化学機械研磨法を用いた研磨において絶縁膜よりも研磨され難いハードマスクを形成する工程と、半導体基板の主表面に対して垂直方向に延びるように、ハードマスクおよび絶縁膜を貫通するホールを形成する工程とを備えている。また、その製造方法は、ホールの側面に沿うようにキャパシタ下部電極を形成する工程と、キャパシタ下部電極の表面に沿うようにキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜の表面に接するようにキャパシタ上部電極を形成する工程とを備えている。

【0008】

上記の製法によれば、化学機械研磨法において絶縁膜よりも研磨され難いハードマスクをCMPストップ膜として、キャパシタ下部電極を形成するための化学機械研磨を実行することができる。そのため、化学機械研磨より絶縁膜が過度に研磨されることが防止されるため、ホールの高さが所望の高さより低くなってしまふことが防止される。その結果、ホール内に形成されるキャパシタ下部電極の高さを所望の高さにすることができる。それにより、キャパシタ容量を大きくすることができる。

【 0 0 0 9 】

本発明の第2の局面の半導体装置の製造方法は、半導体基板の上方に絶縁膜を形成する工程と、絶縁膜の上に、所定のエッチング条件においてレジスト膜よりも絶縁膜に対する選択比が高いハードマスクを形成する工程と、半導体基板の主表面に対して垂直方向に延びるように、ハードマスクおよび絶縁膜を貫通するホールを形成する工程とを備えている。また、その製造方法は、ホールの側面に沿うようにキャパシタ下部電極を形成する工程と、キャパシタ下部電極の表面に沿うようにキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜の表面に接するようにキャパシタ上部電極を形成する工程とを備えている。

【 0 0 1 0 】

上記の製法によれば、所定のエッチング条件においてレジスト膜よりも絶縁膜に対する選択比が高いハードマスクをエッチングマスクとして、ホールを形成するためのエッチングを行うことができる。したがって、上側に向かうにしたがって広がるようなテーパ形状のホールが形成されることが抑制される。その結果、キャパシタをより微細化する場合においても、キャパシタの形状を良好にすることができる。したがって、微細化されたキャパシタの特性を向上させることができる。

【 0 0 1 1 】

本発明の第3の局面の半導体装置の製造方法は、半導体基板の上方に第1の絶縁膜を形成する工程と、第1絶縁膜の上に、第1の絶縁膜とは異なる組成の第2の絶縁膜を形成する工程とを備えている。また、その半導体装置の製造方法は、第1の絶縁膜と同じ組成であって、化学機械研磨法を用いた研磨において第2の絶縁膜より研磨され難いハードマスクを第2の絶縁膜を形成する工程と、ハードマスクの上に、所定のエッチング条件において、ハードマスクよりも選択比が高いエッチングストッパ膜を形成する工程とを備えている。また、その半導体装置の製造方法は、エッチングストッパ膜をマスクとしたエッチングにより、エッチングストッパ膜、ハードマスク、第2の絶縁膜、および第1の絶縁膜を貫通して、半導体基板の主表面に対して垂直方向に延びるホールを形成する工程を備えている。また、その半導体装置の製造方法は、ホールの側面およびハードマスクの

上面にキャパシタ下部電極となる膜を形成する工程と、キャパシタ下部電極となる膜を埋込む埋込膜を形成する工程とを備えている。また、埋込膜、キャパシタ下部電極となる膜およびエッチングストッパ膜を、化学機械研磨法を用いて除去することにより、ハードマスクを露出させて、キャパシタ下部電極を形成する工程を備えている。また、キャパシタ下部電極の表面にキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜の表面にキャパシタ上部電極を形成する工程とを備えている。

【0012】

上記の製法によれば、化学機械研磨法において絶縁膜よりも研磨され難いハードマスクをCMPストッパ膜として、キャパシタ下部電極を形成するための化学機械研磨を実行することができる。そのため、化学機械研磨を行う工程において、絶縁膜が過度に研磨されることが防止されるため、ホールの高さが所望の高さより低くなってしまうことが防止される。その結果、ホール内に形成されるキャパシタ下部電極の高さを所望の高さにすることができる。それにより、キャパシタ容量を大きくすることができる。

【0013】

また、ハードマスクの上にエッチングストッパ膜が形成された状態で、第1の絶縁膜のエッチングが行われる。そのため、第1の絶縁膜をエッチングするときハードマスクの上表面が膜減りすることがないため、ハードマスクの上面の平坦性を向上させることができる。その結果、ハードマスクの上に積層される層を良好に形成することができる。したがって、半導体装置の歩留まりを向上させることができる。

【0014】

本発明の第4の局面の半導体装置の製造方法は、半導体基板の上方に第1の絶縁膜を形成する工程と、第1絶縁膜の上に、第1の絶縁膜とは異なる組成の第2の絶縁膜を形成する工程とを備えている。また、その半導体装置の製造方法は、第1の絶縁膜と同じ組成であって、第1の所定のエッチング条件においてレジスト膜よりも第2の絶縁膜に対する選択比が高いハードマスクを第2の絶縁膜の上に形成する工程と、ハードマスクの上に、第2の所定のエッチング条件において

、ハードマスクよりも選択比が高いエッチングストッパ膜を形成する工程とを備えている。また、その半導体装置の製造方法は、エッチングストッパ膜をマスクとしたエッチングにより、エッチングストッパ膜、ハードマスク、第2の絶縁膜、および第1の絶縁膜を貫通して、半導体基板の主表面に対して垂直方向に延びるホールを形成する工程を備えている。また、その半導体装置の製造方法は、ホールの側面およびハードマスクの上面にキャパシタ下部電極となる膜を形成する工程と、キャパシタ下部電極となる膜を埋込む埋込膜を形成する工程とを備えている。また、その半導体装置の製造方法は、埋込膜、キャパシタ下部電極となる膜およびエッチングストッパ膜を、化学機械研磨法を用いて除去することにより、ハードマスクを露出させて、キャパシタ下部電極を形成する工程を備えている。また、その半導体装置の製造方法は、キャパシタ下部電極の表面にキャパシタ誘電体膜を形成する工程と、キャパシタ誘電体膜の表面にキャパシタ上部電極を形成する工程とを備えている。

【 0 0 1 5 】

上記の製法によれば、第1の所定のエッチング条件においてレジスト膜よりも絶縁膜に対する選択比が高いハードマスクをエッチングマスクとして、ホールを形成するためのエッチングを行うことができる。したがって、上側に向かうにしたがって広がるようなテーパ形状のホールが形成されることが抑制される。その結果、キャパシタをより微細化する場合においても、キャパシタの形状を良好にすることができる。したがって、微細化されたキャパシタの特性を向上させることができる。

【 0 0 1 6 】

また、ハードマスクの上にエッチングストッパ膜が形成された状態で、所定の第2のエッチング条件で第1の絶縁膜のエッチングが行われる。そのため、第1の絶縁膜をエッチングするときにハードマスクの上表面が膜減りすることがないため、ハードマスクの上面の平坦性を向上させることができる。その結果、ハードマスクの上に積層される層を良好に形成することができる。したがって、半導体装置の歩留まりを向上させることができる。

【 0 0 1 7 】

【発明の実施の形態】

以下、図を用いて本発明の実施の形態の半導体装置およびその製造方法を説明する。

【0018】

(実施の形態1)

まず、図1を用いて、実施の形態1の半導体装置の構造を説明する。

【0019】

本実施の形態の半導体装置は、図1に示すように、以下のような構造である。半導体基板1の上には層間絶縁膜2が形成されている。層間絶縁膜2を上下方向に貫通して半導体基板1に接続されたコンタクトプラグ3が形成されている。コンタクトプラグ3同士の間にはビット線4が設けられている。また、層間絶縁膜2の上にはエッチングストッパ膜として機能するシリコン窒化膜5が形成されている。

【0020】

また、シリコン窒化膜5の上には、BPTEOS (Boro-Phospho Tetra Ethyl Ortho Silicate) からなる層間絶縁膜6が形成されている。また、層間絶縁膜6の上には、所定のエッチング条件においてレジスト膜よりも層間絶縁膜6に対する選択比が高くかつ層間絶縁膜6よりもCMP法において研磨され難いハードマスクとして機能するシリコン窒化膜7が形成されている。また、シリコン窒化膜7、層間絶縁膜6およびシリコン窒化膜5を貫通して、コンタクトプラグ3が底面の一部となるホール20が形成されている。

【0021】

ホール20の表面には、キャパシタ下部電極8がホール20の表面に沿うように形成されている。また、キャパシタ下部電極8の表面に沿うようにキャパシタ誘電体膜9が形成されている。また、キャパシタ誘電体膜9によって形成される凹部を埋込むようにキャパシタ上部電極10が形成されている。

【0022】

上記のような本実施の形態の半導体装置の構造によれば、シリコン窒化膜7の側面および層間絶縁膜6の側面に接するようにキャパシタ下部電極8が形成され

ている。したがって、キャパシタ下部電極 8 がシリコン窒化膜 7 の側面および層間絶縁膜 6 の側面に接するように形成されていないキャパシタに対してキャパシタ容量を増加させることができる。

【0023】

次に、図 2 ～ 図 9 を用いて本実施の形態の半導体装置の製造方法を説明する。

まず、図 2 に示す構造について説明する。図 2 に示す構造において、半導体基板 1、層間絶縁膜 2、コンタクトプラグ 3 およびビットライン 4 の構造は、図 1 に示す構造と同様の構造である。次に、コンタクトプラグ 3 が形成された段階で、層間絶縁膜 2 およびコンタクトプラグ 3 の表面を覆うようにシリコン窒化膜 5 を形成する。

【0024】

その後、シリコン窒化膜 5 の上に B P T E O S からなる層間絶縁膜 6 を形成する。次に、層間絶縁膜 6 の上に、所定のエッチング条件においてレジスト膜よりも層間絶縁膜 6 に対する選択比が高くかつ層間絶縁膜 6 よりも C M P 法において研磨され難いハードマスクとなるシリコン窒化膜 7 を形成する。なお、シリコン窒化膜 5 はエッチングストッパとして機能する。

【0025】

その後、シリコン窒化膜 7 の上に、レジスト膜 30 を所定のパターンにパターニングする。それにより、図 2 に示す構造が得られる。次に、レジスト膜 30 をマスクとしてシリコン窒化膜 7 をエッチングすることにより、層間絶縁膜 6 の表面を露出させる。その後、レジスト膜 30 を除去する。それにより図 3 に示す構造が得られる。

【0026】

次に、前述の所定のエッチング条件においてレジスト膜よりも層間絶縁膜 6 に対する選択比が高いシリコン窒化膜 7 をマスクとして層間絶縁膜 6 をエッチングする。それにより、シリコン窒化膜 5 の表面を露出する。その結果、図 4 に示す構造が得られる。次に、層間絶縁膜 6 をマスクとしてシリコン窒化膜 5 をエッチングする。それにより、シリコン窒化膜 5、7 の側面、層間絶縁膜 6 の側面、層間絶縁膜 2 の上面およびコンタクトプラグ 3 の上面により構成されるホール 20

が形成される。その結果、図 5 に示す構造が得られる。

【 0 0 2 7 】

次に、図 6 に示すように、ホール 2 0 の表面およびシリコン窒化膜 7 の上面を覆うようにキャパシタ下部電極となる膜 8 a を形成する。その後、図 7 に示すように、キャパシタ下部電極となる膜 8 a の表面を粗面化する。それにより、キャパシタ下部電極となる膜 8 b が形成される。その構造が図 7 に示されている。

【 0 0 2 8 】

次に、図 8 に示すように、キャパシタ下部電極となる膜 8 b を埋込むように、たとえばフォトリソグレイまたはシリコン酸化物膜からなる埋込膜 4 0 を形成する。

【 0 0 2 9 】

次に、CMP 法により埋込膜 4 0 を上表面から徐々に研磨する。それにより、図 9 に示すように、シリコン窒化膜 7 の表面を露出させる。これにより、キャパシタ下部電極 8 が形成される。

【 0 0 3 0 】

次に、キャパシタ下部電極 8 の表面に沿うようにキャパシタ誘電体膜 9 を形成する。その後、キャパシタ誘電体膜 9 の表面により形成される凹部を埋込むようにキャパシタ上部電極 1 0 を形成する。その結果、図 1 に示す構造が得られる。

【 0 0 3 1 】

上記のような本実施の形態の半導体装置の製造方法によれば、図 4 に示すように、キャパシタが形成されるホール 2 0 を形成する工程において、層間絶縁膜 6 の上に、所定のエッチング条件においてレジスト膜よりも層間絶縁膜 6 に対して選択比が高いシリコン窒化膜 7 が形成された状態で、層間絶縁膜 6 のエッチングを行なう。

【 0 0 3 2 】

この製造方法によれば、従来行なわれていたレジスト膜をマスクとして層間絶縁膜 6 をエッチングしてホール 2 0 を形成する製造方法と比較して、シリコン窒化膜 7 が層間絶縁膜 6 に対して選択比が大きいため、より良好な形状のホール 2 0 が形成される。その結果、キャパシタの表面積を増加させることができるため、キャパシタ容量を向上させることができる。

【 0 0 3 3 】

また、前述のハードマスクとしてのシリコン窒化膜 7 を後工程において除去することなく、CMP 工程において CMP のストッパ膜として利用している。その結果、CMP 工程において、層間絶縁膜 6 の上表面の過剰なオーバーポリッシュが防止される。したがって、キャパシタが形成されるホール 2 0 の高さをより高くすることができる。そのため、キャパシタ容量を増加させることができる。また、ストレージ電極と他のストレージ電極との間のポリシリコンが残存することが防止されるため、キャパシタ同士が短絡することが防止される。その結果、半導体装置の歩留りが向上する。

【 0 0 3 4 】

(実施の形態 2)

次に、図 1 および図 1 0 ～図 1 7 を用いて実施の形態 2 の半導体装置の構造および製造方法を説明する。

【 0 0 3 5 】

まず、図 1 を用いて実施の形態 2 の半導体装置の構造を説明する。本実施の形態の半導体装置の構造は、図 1 に示すように、実施の形態 1 の半導体装置の構造と全く同様の構造である。

【 0 0 3 6 】

したがって、本実施の形態の半導体装置においても、実施の形態 1 の半導体装置により得られる効果と同様の効果を得ることができる。

【 0 0 3 7 】

次に、図 1 0 ～図 1 7 を用いて本実施の形態の半導体装置の製造方法を説明する。まず、図 1 0 に示す構造について説明する。図 1 0 に示す半導体装置の構造は、実施の形態 1 の半導体装置の図 2 を用いて説明した構造とほぼ同様の構造である。本実施の形態の半導体装置の図 1 0 に示す構造が実施の形態 1 の半導体装置の図 2 に示す構造と異なるのは、シリコン窒化膜 7 の上に、エッチングストッパ膜としての多結晶シリコン膜 5 0 が形成されており、その多結晶シリコン膜 5 0 の上にレジスト膜 3 0 が形成されていることである。

【 0 0 3 8 】

図 1 0 に示す構造が形成された後、レジスト膜 3 0 をマスクとして、多結晶シリコン膜 5 0 およびシリコン窒化膜 7 をエッチングすることにより、図 1 1 に示すように、層間絶縁膜 6 の上表面を露出する。

【 0 0 3 9 】

次に、多結晶シリコン膜 5 0 をエッチングマスクとして層間絶縁膜 6 をエッチングすることにより、図 1 2 に示すように、シリコン窒化膜 5 の上表面を露出させる。次に、多結晶シリコン膜 5 0 をエッチングマスクとしてシリコン窒化膜 5 を除去する。これにより、図 1 3 に示すように、ホール 2 0 が形成される。

【 0 0 4 0 】

その後、図 1 4 に示すように、ホール 2 0 の表面、すなわち、層間絶縁膜 2 の上表面、コンタクトプラグ 3 の上表面、シリコン窒化膜 5 の側面、層間絶縁膜 6 の側面、シリコン窒化膜 7 の側面、および多結晶シリコン膜 5 0 の側面、ならびに多結晶シリコン膜 5 0 の上表面に連続するようにキャパシタ下部電極となる膜 8 a が形成される。その後、キャパシタ下部電極となる膜 8 a の表面を粗面化することにより、図 1 5 に示すように、キャパシタ下部電極となる膜 8 b が形成される。

【 0 0 4 1 】

次に、図 1 6 に示すように、キャパシタ下部電極となる膜 8 b により形成される凹部を埋込むように、レジスト膜またはシリコン酸化膜からなる埋込膜 4 0 を埋込む。

【 0 0 4 2 】

その後、図 1 7 に示すように、CMP法を用いて、埋込膜 4 0、キャパシタ下部電極となる膜 8 b、多結晶シリコン膜 5 0 を除去することにより、シリコン窒化膜 7 の上表面を露出させる。それにより、図 1 7 に示すように、キャパシタ下部電極 8 が形成される。その後、キャパシタ下部電極 8 の表面に沿うようにキャパシタ誘電体膜 9 が形成される。次に、キャパシタ誘電体膜 9 の表面が形成する凹部を埋込むようにキャパシタ上部電極 1 0 が形成される。それにより、図 1 に示すような構造の半導体装置が得られる。

【 0 0 4 3 】

上記のような本実施の形態の半導体装置の製造方法によれば以下のような効果がある。

【0044】

実施の形態1の半導体装置の製造方法においては、図4に示すように、シリコン窒化膜7をシリコン窒化膜5のエッチングストッパ膜として用いている。一方、本実施の形態の半導体装置の製造工程においては、図12に示すように、シリコン窒化膜7の上に多結晶シリコン膜50が形成された状態で、多結晶シリコン膜50をエッチングストッパ膜としてシリコン窒化膜5のエッチングが行われる。

【0045】

実施の形態1の半導体装置の製造方法では、シリコン窒化膜5をエッチングする際に、シリコン窒化膜7に膜減りが生じる。この膜減りが生じることを計算して、ハードマスクとしてのシリコン窒化膜7をボトムストッパ膜としてのシリコン窒化膜5よりも多少厚めにしておく必要がある。また、膜減り量のばらつきがあるためCMPのストッパ膜として使用するシリコン窒化膜7の膜厚が安定しない。

【0046】

しかしながら、本実施の形態の半導体装置の製造方法においては、ハードマスクを、多結晶シリコン膜50およびシリコン窒化膜7の2層構造にすることにより、シリコン窒化膜5のエッチング工程においてシリコン窒化膜7の膜減りが生じないようにしている。したがって、シリコン窒化膜7の膜厚が安定する。また、キャパシタ下部電極となる膜8bをCMP法により除去するとき、多結晶シリコン膜50は常に除去される。その結果、安定した膜厚のシリコン窒化膜7をCMPのストッパ膜として用いることができる。

【0047】

したがって、本実施の形態の半導体装置の製造方法にれば、実施の形態1の半導体装置の製造方法よりも安定したキャパシタ容量を有するキャパシタを製造することができる。また、キャパシタ同士の間、キャパシタ下部電極となる膜8bが残存しないことにより、キャパシタ同士が短絡することが防止されやすくなる。

。その結果、半導体装置の歩留りが向上する。

【0048】

(実施の形態3)

次に、本発明の実施の形態3の半導体装置の製造方法を説明する。本実施の形態の半導体装置の製造方法においては、実施の形態1の半導体装置の製造方法の図9に示す構造を得るまでの工程、または、実施の形態2の半導体装置の製造方法の図17に示す構造を得るまでの工程は同様の方法が用いられる。

【0049】

その後、本実施の形態の半導体装置の製造方法においては、図9または図17に示す構造において、キャパシタ下部電極8が形成する凹部内にレジスト膜を埋込む。次に、レジスト膜をマスクとして、ハードマスクとしてのシリコン窒化膜7を熱リン酸を用いたウェットエッチングにより除去する。それにより、図18に示す構造が得られる。その後、キャパシタ下部電極8が形成する凹部内に埋込まれているレジスト膜は除去される。次に、層間絶縁膜6をフッ酸を用いて除去する。次に、それにより図19に示すような構造が得られる。

【0050】

本実施の形態の半導体装置の製造方法によっても、キャパシタ容量が増加した半導体装置を製造することができる。

【0051】

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲を上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0052】

【発明の効果】

本発明の第1および第3の局面の半導体装置の製造方法によれば、キャパシタ容量を増加させることにより、キャパシタの特性を向上させることができる。また、本発明の第2および第4の局面の半導体装置の製造方法によれば、キャパシタの形状を良好にすることにより、キャパシタの特性を向上させることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 および実施の形態 2 の半導体装置の構造を示す図である。

【図 2】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 3】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 4】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 5】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 6】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 7】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 8】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 9】 実施の形態 1 の半導体装置の製造方法を説明するための図である

【図 10】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

【図 11】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

【図 12】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

【図 13】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

【図 14】 実施の形態 2 の半導体装置の製造方法を説明するための図であ

る。

【図 1 5】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

る。

【図 1 6】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

る。

【図 1 7】 実施の形態 2 の半導体装置の製造方法を説明するための図である。

る。

【図 1 8】 実施の形態 3 の半導体装置の製造方法を説明するための図である。

る。

【図 1 9】 実施の形態 3 の半導体装置の製造方法を説明するための図である。

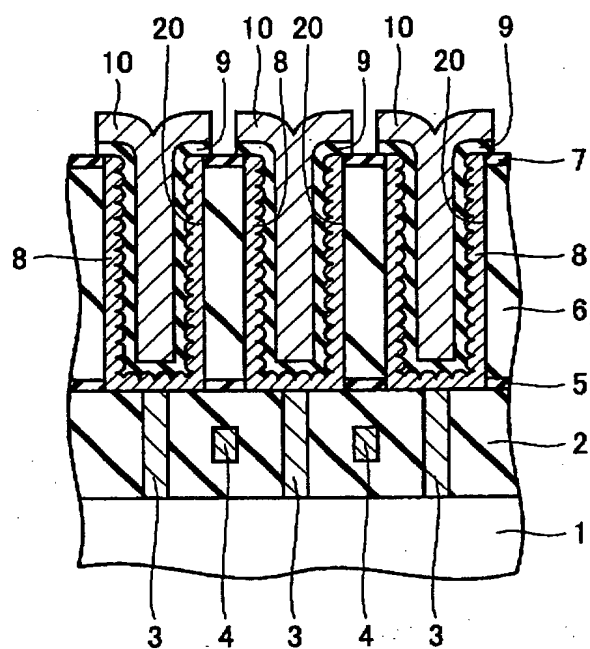
る。

【符号の説明】

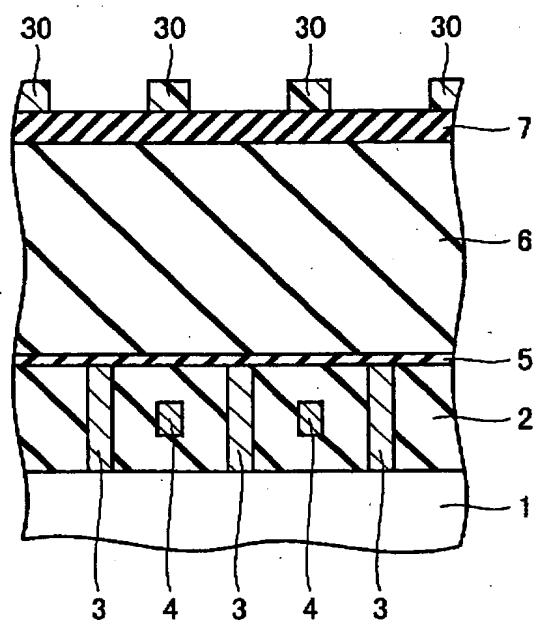
1 半導体基板、2 層間絶縁膜、3 ゴンタクトプラグ、4 ビットライン、5 シリコン窒化膜、6 層間絶縁膜、7 シリコン窒化膜、8 a キャパシタ下部電極となる膜、8 b キャパシタ下部電極となる膜、8 キャパシタ下部電極、9 キャパシタ誘電体膜、10 キャパシタ上部電極、20 ホール、30 レジスト膜、40 埋込膜、50 多結晶シリコン膜。

【書類名】 図面

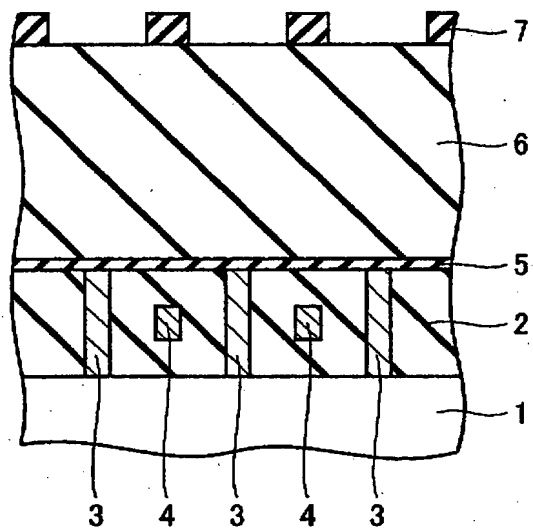
【図 1】



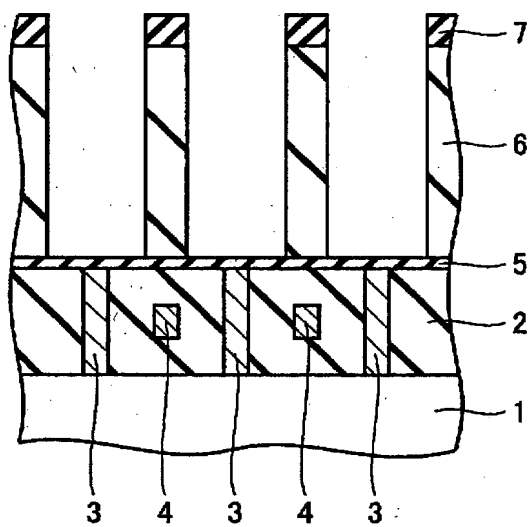
【図 2】



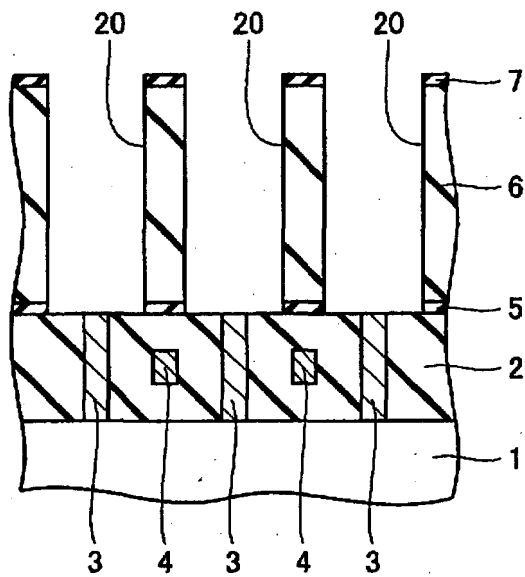
【図 3】



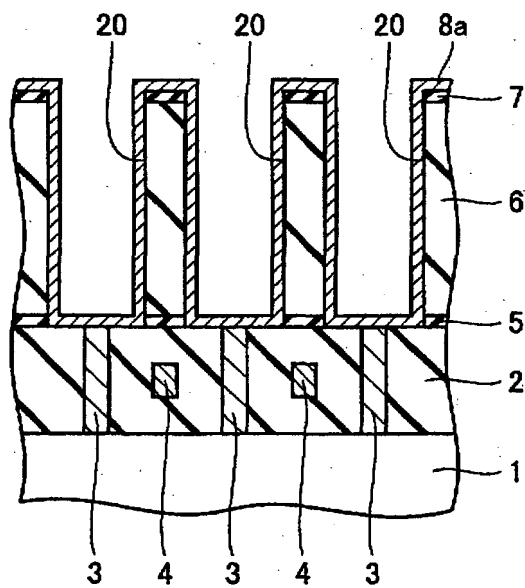
【図 4】



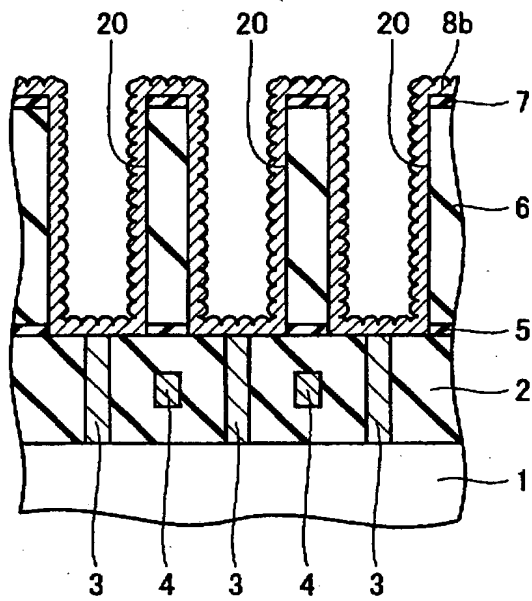
【図 5】



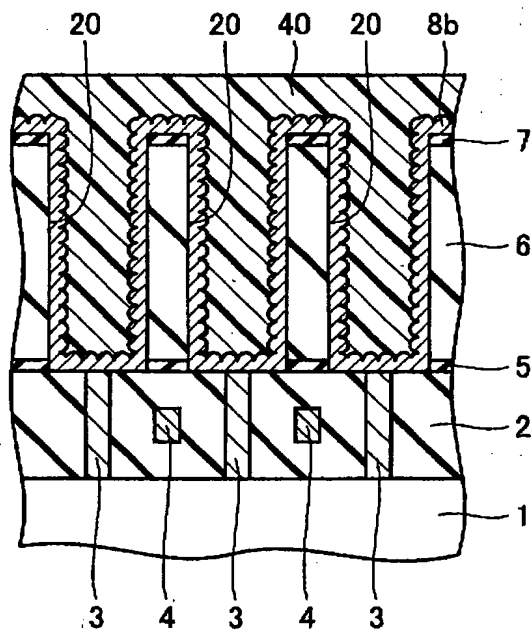
【図 6】



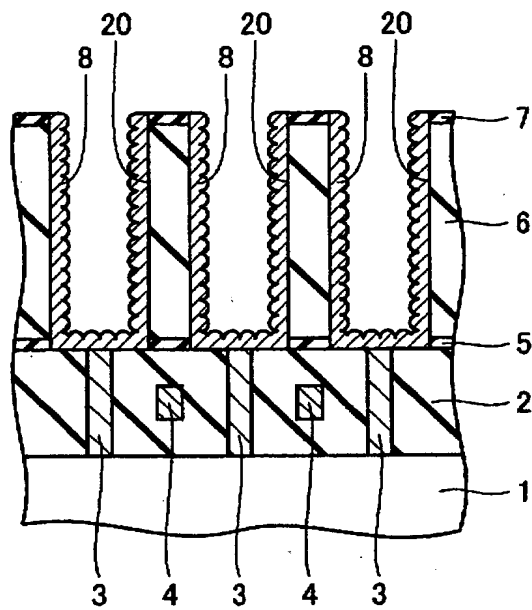
【図 7】



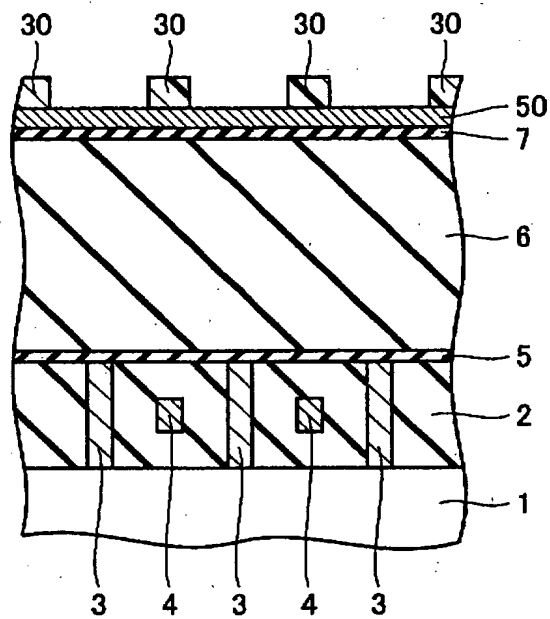
【図 8】



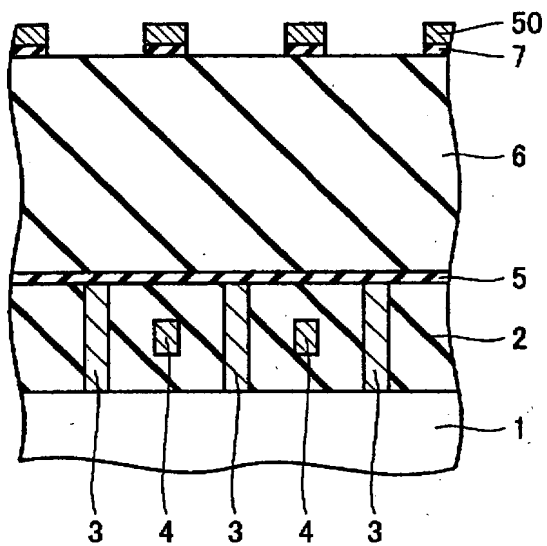
【図 9】



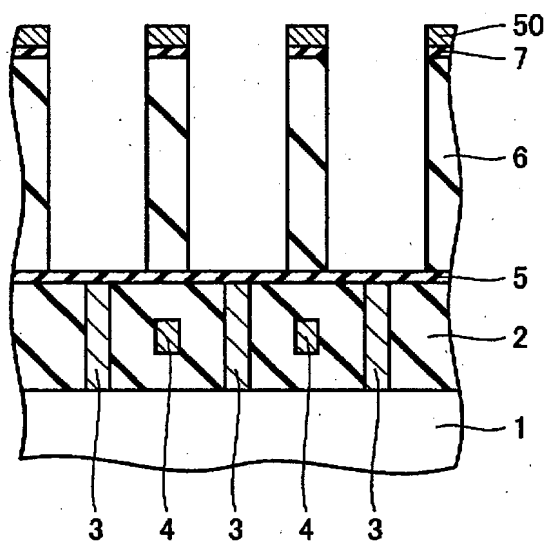
【図 10】



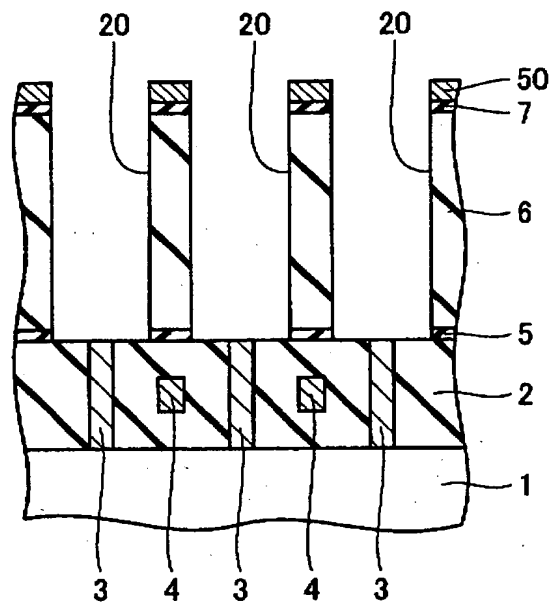
【図 1 1】



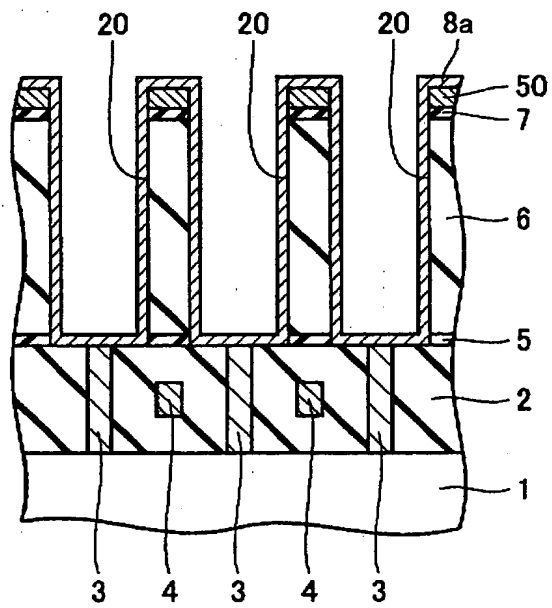
【図 1 2】



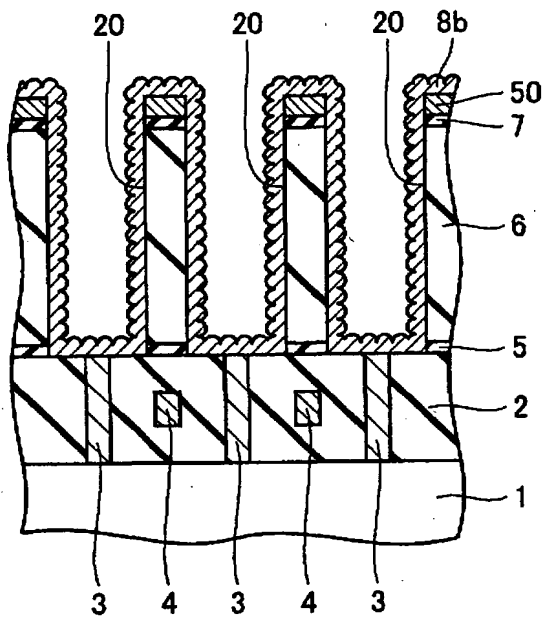
【図 13】



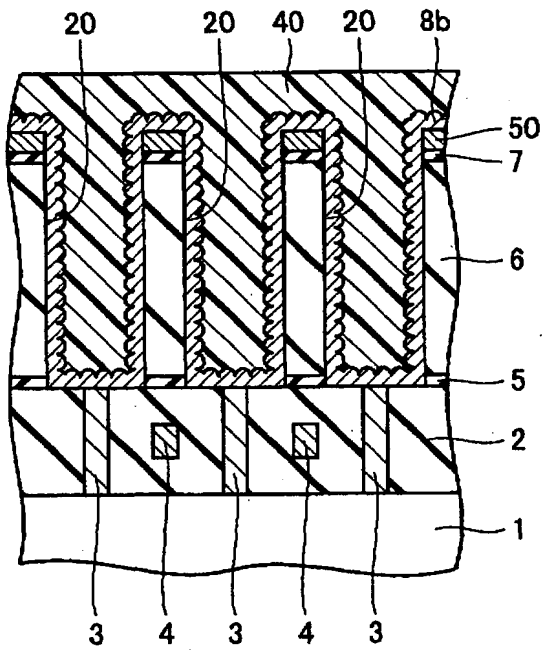
【図 14】



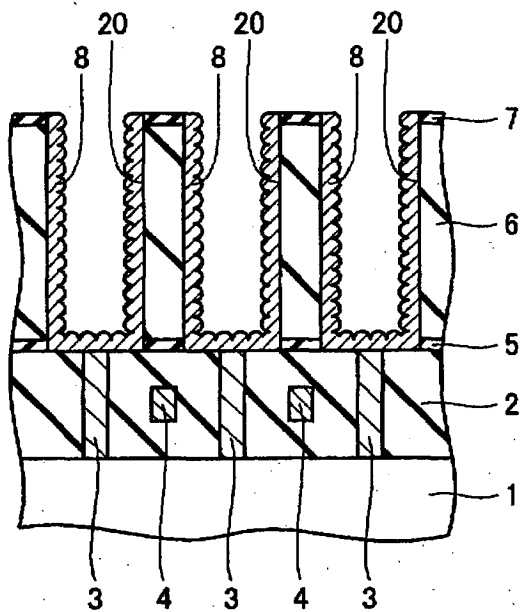
【図 15】



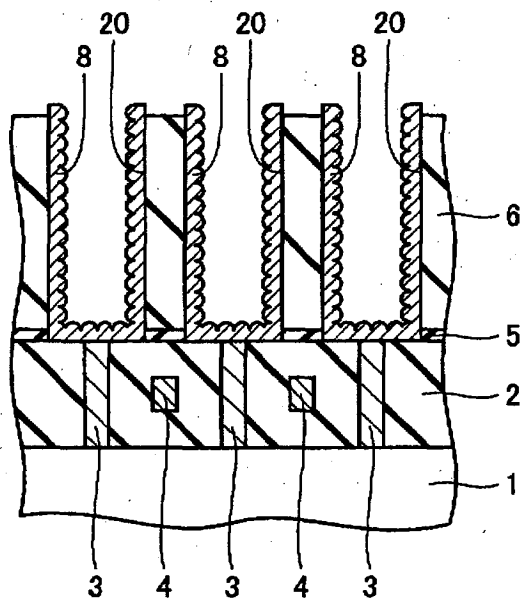
【図 16】



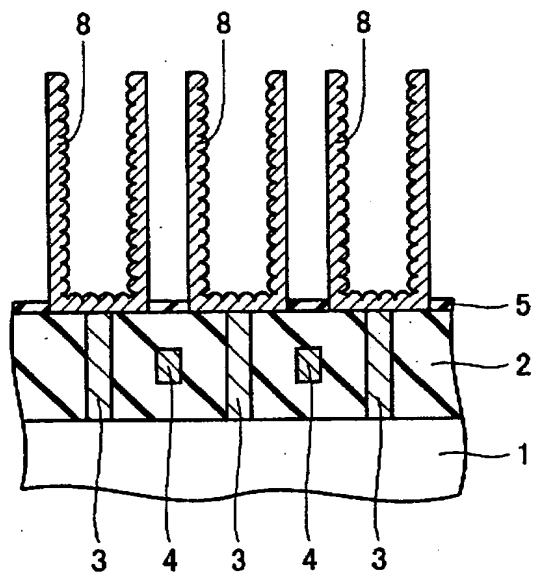
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 キャパシタの特性を向上させることができる半導体装置およびその製造方法を提供する。

【解決手段】 所定のエッチング条件においてレジスト膜よりも層間絶縁膜 6 に対する選択比が高くかつ層間絶縁膜 6 よりも化学機械研磨法において研磨され難いシリコン窒化膜 7 を層間絶縁膜 6 の上に形成する。このシリコン窒化膜 7 は、キャパシタ下部電極 8 を形成するための化学機械研磨工程において層間絶縁膜 6 の高さが減少することを防止するハードマスクとして用いられる。また、シリコン窒化膜 7 は、エッチングによりホール 20 を形成する工程においてエッチングマスクとして利用される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社